



(19)

(11) Publication number: 11135582 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09300326

(51) Int'l. Cl.: H01L 21/66 G01R 1/073

(22) Application date: 31.10.97

(30) Priority:

(43) Date of application publication: 21.05.99

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NAKADA YOSHIRO
OKI SHINICHI

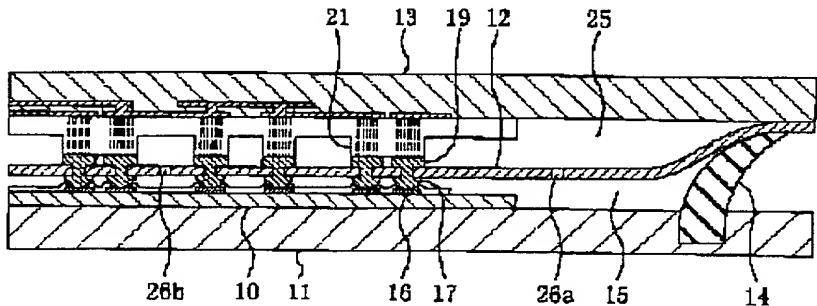
(74) Representative:

**(54) WAFER CASSETTE
FOR BURN-IN AND
MANUFACTURE OF PROBE
CARD**

(57) Abstract:

PROBLEM TO BE SOLVED: To surely connect all bumps with outer electrodes of semiconductor integrated circuit elements, by preventing the bumps arranged in the peripheral part of a probe card from moving to the seal member side, i.e., the outside.

SOLUTION: A semiconductor wafer 10 having outer electrodes 16 in which a plurality of semiconductor integrated circuit elements are formed is mounted on a wafer tray 11. A probe card 12 which has bumps 17 and is constituted of an elastic member is arranged so as to face the semiconductor wafer 10 mounted on a wafer tray 11. The back of the probe card 12 is retained by a wiring board 13. Interconnection holes 26a, 26b interconnecting a first tightly closed space 15 formed of the wafer tray 11, the probe card 12 and an annular seal member 14, and a second tightly closed space 25 formed between the probe card 12 and the wiring board 13 are formed in the probe card 12.



COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-135582

(43)公開日 平成11年(1999)5月21日

(51) Int.Cl.⁶
H 01 L 21/66
G 01 R 1/073
// H 01 L 21/68

識別記号

F I
H 01 L 21/66 B
G 01 R 1/073 E
H 01 L 21/68 N

審査請求 未請求 請求項の数8 O L (全 12 頁)

(21)出願番号 特願平9-300326

(22)出願日 平成9年(1997)10月31日

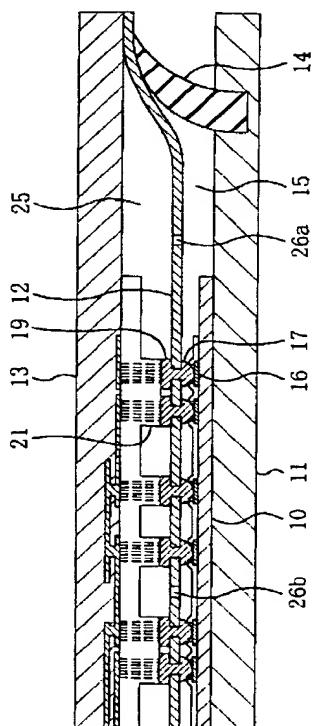
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 中田 義朗
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 沖 伸一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 パーンイン用ウェハカセット及びプロープカードの製造方法

(57)【要約】

【課題】 プロープカードの周縁部に設けられているバンプがシール部材側つまり外側に移動する事態を回避して、全てのバンプが半導体集積回路素子の外部電極と確実に接続されるようにする。

【解決手段】 外部電極16を有する複数の半導体集積回路素子が形成された半導体ウェハ10はウェハトレイ11の上に載置されている。ウェハトレイ11の上に載置された半導体ウェハ10と対向するように、バンプ17を有する弾性材よりなるプロープカード12が配置されている。プロープカード12の裏面は配線基板13に保持されている。ウェハトレイ11、プロープカード12及び環状のシール部材14によって形成される第1の密封空間15と、プロープカード12と配線基板13との間に形成される第2の密封空間25とを連通させる連通孔26がプロープカード12に形成されている。



【特許請求の範囲】

【請求項1】 複数の半導体集積回路素子が形成された半導体ウェハが載置されるウェハ載置部を有するウェハトレイと、前記ウェハトレイのウェハ載置部と対向するように設けられ、表面側に前記複数の半導体集積回路素子の各外部電極と接続されるバンプを有する弾性材よりなるプローブカードと、前記プローブカードの裏面を保持する保持基板と、前記ウェハトレイにおけるウェハ載置部の外側に設けられ、前記ウェハトレイ及びプローブカードと共に第1の密封空間を形成する環状のシール部材とを備えたバーンイン用ウェハカセットにおいて、前記プローブカードは、前記プローブカードと前記保持基板との間に形成される第2の密封空間と前記第1の密封空間と連通させる連通孔を有していることを特徴とするバーンイン用ウェハカセット。

【請求項2】 前記連通孔は、前記プローブカードにおける前記ウェハトレイのウェハ載置部と対向する領域と前記シール部材と接している領域との間の領域に形成されていることを特徴とする請求項1に記載のバーンイン用ウェハカセット。

【請求項3】 前記連通孔は、前記プローブカードにおける前記ウェハトレイのウェハ載置部と対向する領域に分散して形成されていることを特徴とする請求項1に記載のバーンイン用ウェハカセット。

【請求項4】 複数の半導体集積回路素子が形成された半導体ウェハが載置されるウェハ載置部を有するウェハトレイと、該ウェハトレイのウェハ載置部と対向するように設けられ、表面側に前記複数の半導体集積回路素子の各外部電極と接続されるバンプを有すると共に裏面側に前記バンプと一体化された孤立パターンを有する弾性材よりなるプローブカードと、前記ウェハトレイにおけるウェハ載置部の外側に設けられ、前記ウェハトレイ及びプローブカードと共に密封空間を形成する環状のシール部材とを備えたバーンイン用ウェハカセットにおいて、前記プローブカードにおける前記孤立パターンが密に配置されているライン上に、前記プローブカードの内部応力を緩和する貫通孔が形成されていることを特徴とするバーンイン用ウェハカセット。

【請求項5】 プローブカード本体の表面側に、半導体ウェハ上に形成された複数の半導体集積回路素子の各外部電極と接続されるバンプを有し、前記プローブカード本体の裏面側に前記バンプと一体化された孤立パターンを有し、前記プローブカード本体を表裏方向に貫通する貫通孔とを有しており、前記複数の半導体集積回路素子の電気特性をウェハ状態で一括して検査するためのプローブカードの製造方法であって、前記プローブカード本体の裏面側に全面に亘って金属膜を形成する金属膜形成工程と、前記金属膜が形成された前記プローブカード本体における

10 る、バンプを形成する部分であるバンプ形成部及び貫通孔を形成する部分である貫通孔形成部にレーザビームを照射してそれぞれ貫通孔を形成する貫通孔形成工程と、前記プローブカード本体の表面側に電気メッキを施して、前記プローブカード本体における前記貫通孔の表面側に前記金属膜と一体にバンプを形成するバンプ形成工程と、前記金属膜に対して選択的にエッチングを行なって、前記プローブカード本体の裏面側に前記バンプと一体化された前記金属膜よりなる孤立パターンを形成すると共に、前記金属膜における前記プローブカード本体の貫通孔形成部と対向する領域を除去するエッチング工程と、全ての前記バンプのうち、前記プローブカードの裏面側に前記金属膜が残存しないバンプを除去するバンプ除去工程とを備えていることを特徴とするプローブカードの製造方法。

20 【請求項6】 前記貫通孔形成工程は、前記プローブカード本体における貫通孔形成部に形成される貫通孔の径をバンプ形成部に形成される貫通孔の径よりも小さくする工程を含むことを特徴とする請求項5に記載のプローブカードの製造方法。

20 【請求項7】 前記貫通孔形成工程は、前記プローブカード本体のバンプ形成部と対応する部位にマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して、前記プローブカード本体における半導体集積回路素子と対向する領域及び対向しない領域の両方に亘って前記貫通孔を形成する工程を含み、前記エッチング工程は、前記金属膜における半導体集積回路素子と対向しない領域を除去する工程を含むことを特徴とする請求項5に記載のプローブカードの製造方法。

30 【請求項8】 前記貫通孔形成工程は、前記プローブカード本体のバンプ形成部及び貫通孔形成部と対応する部位にそれぞれマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して前記貫通孔を形成する工程を含むことを特徴とする請求項5に記載のプローブカードの製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 本発明は、半導体ウェハ上に形成された複数の半導体集積回路素子に対して一括してバーンインを行なうためのバーンイン用ウェハカセット及びプローブカードの製造方法に関する。

【0002】

【従来の技術】 従来、半導体集積回路装置は、半導体集積回路素子とリードフレームとがボンディングワイヤによって電気的に接続された後、半導体集積回路素子とリードフレームのリードとが樹脂又はセラミックスにより封止された状態で供給されて、プリント基板に実装される。

【0003】ところが、電子機器の小型化及び低価格化の要求から、半導体集積回路装置を半導体ウェハから切り出したままのペアチップ状態で回路基板に実装する方法が開発されており、品質が保証されたペアチップを低価格で供給することが望まれている。

【0004】ペアチップに対して品質保証を行なうためには、半導体集積回路素子の電気的特性をウェハ状態で一括してバーンインを行なう必要がある。

【0005】そこで、例えば、NIKKEI MICRODEVICES 1997年7月号に記載されているように、半導体集積回路素子が形成された半導体ウェハを保持するウェハトレイと、該ウェハトレイに保持された半導体ウェハと対向するように設けられ、該半導体ウェハの半導体集積回路素子の検査用端子と接続されるバンプを有するプローブカードと、ウェハトレイとプローブカードとの間に設けられ、ウェハトレイ及びプローブカードと共に密封空間を形成する環状のシール材とを備えたバーンイン用ウェハカセットが提案されている。

【0006】以下、前記のバーンイン用ウェハカセットについて、図10及び図11を参照しながら説明する。図10はバーンイン用ウェハカセットの断面構造を示しており、図11はバーンイン用ウェハカセットの部分拡大断面構造を示している。

【0007】図10に示すように、半導体ウェハ10を保持したウェハトレイ11と、ポリイミド樹脂よりも弾性を有するプローブカード12を保持した配線基板13とが対向するように設けられていると共に、ウェハトレイ11の周縁部に環状のシール材14が設けられており、ウェハトレイ11とプローブカード12とを接近させると、ウェハトレイ11、プローブカード12及びシール部材14によって第1の密封空間15が形成される。

【0008】図11に示すように、半導体ウェハ10上に形成されている各半導体集積回路素子は外部電極16を有している。

【0009】図10及び図11に示すように、プローブカード12における、半導体ウェハ10上の半導体集積回路素子の外部電極16と対応する部位にはバンプ17が設けられていると共に、プローブカード12の周縁部は剛性のリング18により保持されている。また、プローブカード12におけるバンプ17の反対側には例えば銅による孤立パターン19がバンプ17と一体に形成されており、バンプ17と孤立パターン19とによってプローブカード12を挟持しているので、バンプ17及び孤立パターン19はプローブカード12から脱落することはない。

【0010】図11に示すように、配線基板13には、一端部が電源電圧、接地電圧又は信号電圧等の検査用電圧を供給する図示しない検査装置に接続される多層配線20と、該多層配線20の他端側とプローブカード12

のバンプ17とを電気的に接続する異方導電性ゴム21とが設けられている。

【0011】図10に示すように、ウェハトレイ11の側面には図示しない減圧手段に接続される開閉弁22が設けられていると共に、ウェハトレイ11の上面における半導体ウェハ10とシール部材14との間には、第1の密封空間15と開閉弁22と連通する環状の凹状溝23が形成されている。

【0012】図10に示す状態で、開閉弁22を図示しない減圧手段に接続して第1の密封空間15を減圧すると、ウェハトレイ11とプローブカード12とが一層接近して、図11に示すように、半導体ウェハ10上の各半導体集積回路素子の外部電極16とプローブカード12のバンプ17とが電気的に接続する。その後、検査装置から検査用電圧を半導体ウェハ10上の各半導体集積回路素子に印加したり、各半導体集積回路素子からの出力信号を検査装置に入力したりして、検査装置により各半導体集積回路素子の電気特性を評価する。

【0013】

【発明が解決しようとする課題】ところで、前述したように、第1の密封空間15を減圧すると、ウェハトレイ11とプローブカード12とが一層接近して、半導体ウェハ10上の各半導体集積回路素子の外部電極16とプローブカード12のバンプ17とが電気的に接続するが、この際、配線基板13の異方導電性ゴム21とプローブカード12により形成される第2の密封空間25と第1の密封空間15との間に圧力差が生じると共にプローブカード12が弾性を有しているため、図12に示すように、プローブカード12は第1の密封空間15の方に引っ張られて半導体ウェハ10及びウェハトレイ11と部分的に接触する。

【0014】ところが、プローブカード12におけるバンプ17とシール部材14との間の距離がプローブカード12におけるバンプ17同士の間の距離よりも大きいので、プローブカード12におけるバンプ17とシール部材14との間の領域はプローブカード12におけるバンプ17同士の間の領域に比べて伸びる量が大きい。このため、プローブカード12の周縁部に設けられているバンプ17は、シール部材14の方につまり外側に移動するので、半導体ウェハ10の外部電極16と電気的に接続し難くなるという第1の問題がある。

【0015】もっとも、シール部材14の位置を内側つまり周縁部のバンプ17側に移動すると、プローブカード12におけるバンプ17とシール部材14との間の距離とプローブカード12におけるバンプ17同士の間の距離との間の差は小さくなるが、この場合でも、ウェハトレイ11の周縁部においては半導体ウェハ10の厚さ分だけ段差があるので、プローブカード12におけるバンプ17とシール部材14との間の領域がプローブカード12におけるバンプ17同士の間の領域に比べて大き

く伸びる事態を回避することができない。

【0016】また、前述したように、プロープカード12は、バンプ17と孤立パターン19とによって狭持されているため、孤立パターン19が密着している領域においては伸びることができないので、プロープカード12は孤立パターン19が密着していない領域においてのみ伸びることになる。このため、プロープカード12における孤立パターン19が密な領域においては、プロープカード12に作用する内部応力が大きくなる一方、プロープカード12における孤立パターン19が疎な領域においては、プロープカード12に作用する内部応力が小さくなるので、プロープカード12のバンプ17は孤立パターン19の密な領域の方に引っ張られてしまう。このため、プロープカード12のバンプ17のうち、孤立パターン19が密な領域と疎な領域との間に位置するバンプ17は、孤立パターン19の密な領域側に移動するので、半導体ウェハ10の外部電極16と電気的に接続し難くなるという第2の問題がある。

【0017】前記に鑑み、本発明は、プロープカードの周縁部に設けられているバンプがシール部材側つまり外側に移動する事態を回避することを第1の目的とし、プロープカードの裏面にバンプと一緒に形成されている孤立パターンの密な領域と疎な領域との間に位置するバンプが孤立パターンの密な領域側に移動する事態を回避することを第2の目的とする。

【0018】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1のバーンイン用ウェハカセットは、複数の半導体集積回路素子が形成された半導体ウェハが載置されるウェハ載置部を有するウェハトレイと、ウェハトレイのウェハ載置部と対向するように設けられ、表面側に複数の半導体集積回路素子の各外部電極と接続されるバンプを有する弾性材よりなるプロープカードと、プロープカードの裏面を保持する保持基板と、ウェハトレイにおけるウェハ載置部の外側に設けられ、ウェハトレイ及びプロープカードと共に第1の密封空間を形成する環状のシール部材とを備えたバーンイン用ウェハカセットを前提とし、プロープカードは、プロープカードと保持基板との間に形成される第2の密封空間と第1の密封空間と連通させる連通孔を有している。

【0019】第1のバーンイン用ウェハカセットによると、プロープカードが、プロープカードと保持基板との間に形成される第2の密封空間と、ウェハトレイ、プロープカード及びシール部材とによって形成される第1の密封空間とを連通させる連通孔を有しているため、第1の密封空間を減圧すると、第2の密封空間の大気が連通孔を通って第1の密封空間に流入するので、第1の密封空間と第2の密封空間との間に圧力差が生じない。

【0020】第1のバーンイン用ウェハカセットにおいて、連通孔は、プロープカードにおけるウェハトレイの

ウェハ載置部と対向する領域とシール部材と接している領域との間の領域に形成されていることが好ましい。

【0021】また、第1のバーンイン用ウェハカセットにおいて、連通孔は、プロープカードにおけるウェハトレイのウェハ載置部と対向する領域に分散して形成されていることが好ましい。

【0022】本発明に係る第2のバーンイン用ウェハカセットは、複数の半導体集積回路素子が形成された半導体ウェハが載置されるウェハ載置部を有するウェハトレイと、該ウェハトレイのウェハ載置部と対向するように設けられ、表面側に複数の半導体集積回路素子の各外部電極と接続されるバンプを有すると共に裏面側にバンプと一緒に一体化された孤立パターンを有する弾性材よりなるプロープカードと、ウェハトレイにおけるウェハ載置部の外側に設けられ、ウェハトレイ及びプロープカードと共に密封空間を形成する環状のシール部材とを備えたバーンイン用ウェハカセットを前提とし、プロープカードにおける孤立パターンが密に配置されているライン上に、プロープカードの内部応力を緩和する貫通孔が形成されている。

【0023】第2のバーンイン用ウェハカセットによると、プロープカードにおける孤立パターンが密に配置されているライン上に、プロープカードの内部応力を緩和する貫通孔が形成されているため、プロープカードにおける孤立パターンが密に配置されているラインに沿う方向の内部応力が緩和され、プロープカードにおける孤立パターンが疎に配置されているラインに沿う方向の内部応力との差が低減する。

【0024】本発明に係るプロープカードの製造方法は、プロープカード本体の表面側に、半導体ウェハ上に形成された複数の半導体集積回路素子の各外部電極と接続されるバンプを有し、プロープカード本体の裏面側にバンプと一緒に一体化された孤立パターンを有し、プロープカード本体を表裏方向に貫通する貫通孔とを有しており、複数の半導体集積回路素子の電気特性をウェハ状態で一括して検査するためのプロープカードの製造方法を対象とし、プロープカード本体の裏面側に全面に亘って金属膜を形成する金属膜形成工程と、金属膜が形成されたプロープカード本体における、バンプを形成する部分であるバンプ形成部及び貫通孔を形成する部分である貫通孔形成部にレーザビームを照射してそれぞれ貫通孔を形成する貫通孔形成工程と、プロープカード本体の表面側に電気メッキを施して、プロープカード本体における貫通孔の表面側に金属膜と一緒にバンプを形成するバンプ形成工程と、金属膜に対して選択的にエッチングを行なつて、プロープカード本体の裏面側にバンプと一緒に化された金属膜よりなる孤立パターンを形成すると共に、金属膜におけるプロープカード本体の貫通孔形成部と対向する領域を除去するエッチング工程と、全てのバンプのうち、プロープカードの裏面側に金属膜が残存しないバン

プを除去するバンプ除去工程とを備えている。

【0025】本発明のプローブカードの製造方法によると、プローブカード本体を表裏方向に貫通する貫通孔をバンプを形成するための貫通孔と同一の工程で形成できると共に、貫通孔の裏面側に形成されている金属膜を除去する工程を金属膜よりなる孤立パターンを形成する工程と同一の工程で行なうことができる。

【0026】本発明のプローブカードの製造方法において、貫通孔形成工程は、プローブカード本体における貫通孔形成部に形成される貫通孔の径をバンプ形成部に形成される貫通孔の径よりも小さくする工程を含むことが好ましい。

【0027】本発明のプローブカードの製造方法において、貫通孔形成工程は、プローブカード本体のバンプ形成部と対応する部位にマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して、プローブカード本体における半導体集積回路素子と対向する領域及び対向しない領域の両方に亘って貫通孔を形成する工程を含み、エッチング工程は、金属膜における半導体集積回路素子と対向しない領域を除去する工程を含むことが好ましい。

【0028】本発明のプローブカードの製造方法において、貫通孔形成工程は、プローブカード本体のバンプ形成部及び貫通孔形成部と対応する部位にそれぞれマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して貫通孔を形成する工程を含むことが好ましい。

【0029】

【発明の実施の形態】

(第1の実施形態) 以下、本発明の第1の実施形態に係るバーンイン用ウェハカセットについて、図1及び図2を参照しながら説明する。

【0030】図1は第1の実施形態に係るバーンイン用ウェハカセットの断面構造を示している。

【0031】第1の実施形態に係るバーンイン用ウェハカセットは、図1に示すように、従来のバーンイン用ウェハカセットと同様、半導体集積回路素子が形成された半導体ウェハ10が載置されるウェハ載置部を有するウェハトレイ11と、該ウェハトレイ11のウェハ載置部と対向するように設けられ、表面側に複数の半導体集積回路素子の各外部電極16と接続されるバンプ17を有する例えばポリイミド樹脂等の弾性材よりなるプローブカード12と、該プローブカード12の裏面に異方導電性ゴム21を介して接する保持基板としての配線基板13と、ウェハトレイ11におけるウェハ載置部の外側に設けられた環状のシール部材14とを備えている。

【0032】また、図1においては、図示は省略したが、従来のバーンイン用ウェハカセットと同様、プローブカード12の周縁部は、剛性のリング18を介して、保持基板としての配線基板13に保持されていると共に

に、図1に示すように、プローブカード12の裏面側には例えば銅膜よりなる孤立パターン19がバンプ17と一緒に形成されており、バンプ17と孤立パターン19とによってプローブカード12を挟持している。

【0033】また、図1においては、図示は省略したが、ウェハトレイ11の側面には図示しない減圧手段に接続される開閉弁22が設けられている(図10を参照)。

【0034】さらに、従来のバーンイン用ウェハカセットと同様、プローブカード12の周縁部が環状のシール部材14により配線基板13に押圧されているため、ウェハトレイ11、プローブカード12及びシール部材14によって第1の密封空間15が形成されていると共に、プローブカード12と配線基板13との間に第2の密封空間が25が形成されている。

【0035】第1の実施形態の特徴として、プローブカード12におけるウェハトレイ11のウェハ載置部と対向する領域とシール部材14と接している領域との間である周縁部領域に連通孔26aが形成されていると共に、プローブカード12におけるウェハトレイ11のウェハ載置部と対向する領域であるウェハ領域にも連通孔26bが分散して形成されている。

【0036】第1の実施形態に係るバーンイン用検査用基板において、図示を省略した開閉弁から第1の密封空間15を減圧すると、弾性材よりなるプローブカード12は、図2(a)に示すように、第1の密封空間15の方に引き寄せられて撓むが、その後、第2の密封空間25の大気が連通孔26を通って第1の密封空間15に流入するため、第1の密封空間15と第2の密封空間25との間に圧力差がなくなるので、プローブカード12は、一点鎖線に示すように、ウェハトレイ11と平行になる。この場合、ウェハトレイ11の周縁部においては、ウェハトレイ11の上に半導体ウェハ10が載置されていないため、プローブカード12とウェハトレイ11との距離が、ウェハトレイ11のウェハ載置部に比べて、半導体ウェハ10の厚さ分だけ大きいので、第1の密封空間15に対する減圧の直後に、プローブカード12における連通孔26aの周辺部がウェハトレイ11に密着することはない。このため、プローブカード12は一点鎖線に示すようにウェハトレイ11に対して平行な状態に戻るので、プローブカード12の周縁部に設けられているバンプ17は、シール部材14の方につまり外側に移動せず、半導体ウェハ10の外部電極16と電気的に確実に接続される。

【0037】ところで、第1の密封空間15が減圧されてプローブカード12が伸びる際、プローブカード12における連通孔26bが形成されている領域は、連通孔26bが形成されていない領域に比べて大きく伸びるが、第1の実施形態においては、プローブカード12におけるウェハトレイ11のウェハ載置部と対向するウェ

ハ領域に分散して連通孔26bが形成されているため、プロープカード12における伸び量のばらつきがプロープカード12の面内において分散されるので、プロープカード12のバンプ17は、特定の方向に大きく移動せず、半導体ウェハ10の外部電極16と電気的に確実に接続される。

【0038】もつとも、プロープカード12の周縁部領域に連通孔26が形成されておらず、プロープカード12のウェハ領域にのみ連通孔26が形成されている場合には、第1の密封空間15を急速に減圧すると、図2

(b) に示すように、プロープカード12における連通孔26の周辺部が半導体ウェハ10に密着してしまう恐れがあるので、この場合には、第1の密封空間15を緩やかに減圧することが好ましい。

【0039】以上の説明から理解できるように、連通孔26の数を多くすると、第1の密封空間15を減圧する際に、第1の密封空間15と第2の密封空間25との間の圧力差が解消するまでの時間は短くなるが、連通孔26の分布状態によってはプロープカード12の伸び量にばらつきが生じやすくなるので、第1の密封空間15と第2の密封空間25との圧力差が解消するまでに要する時間及びプロープカード12の伸び量のばらつきを考慮して、連通孔26の数及び配置を最適化することが好ましい。

【0040】また、連通孔26の径としては、プロープカード12を洗浄するための洗浄液が通過しない一方、洗浄液が気化されてなる気体は通過する程度の大きさが好ましい。このようにすると、プロープカード12を洗浄液により洗浄する際に、洗浄液がプロープカード12と配線基板13との間に侵入する事態を防止できると共に、洗浄液がプロープカード12と配線基板13との間に侵入してしまっても、侵入した洗浄液を気化させて除去することが容易になる。

【0041】(第2の実施形態)以下、本発明の第2の実施形態に係るバーンイン用ウェハカセットについて、図3及び図4を参照しながら説明する。図3はプロープカード12の表面における半導体ウェハ10と対向する領域(破線で示す領域)の平面構造を示し、図4はプロープカード12の裏面の部分拡大平面構造を示している。尚、図3及び図4における一点鎖線は、半導体ウェハ10に形成された半導体集積回路素子と対応する領域を示している。

【0042】第2の実施形態に係るバーンイン用ウェハカセットも、従来及び第1の実施形態に係るバーンイン用ウェハカセットと同様、半導体ウェハ10が載置されるウェハトレイ11と、表面側に複数のバンプ17を有する例えばポリイミド樹脂等の弾性材よりなるプロープカード12と、該プロープカード12の裏面を異方導電性ゴム21を介して保持する保持基板13と、ウェハトレイ11の周縁部に設けられた環状のシール部材14

と、バンプ17と共にプロープカード12を挟持する孤立パターン19と、ウェハトレイ11、プロープカード12及びシール部材14によって形成される第1の密封空間15とを備えている。

【0043】第2の実施形態の特徴として、プロープカード12における孤立パターン19が密に配置されているライン上には、プロープカード12及びシール部材14によって形成される第1の密封空間15が減圧されたり、プロープカード12が加熱されたりする際に、プロープカード12に作用する内部応力を緩和する貫通孔27が形成されている。具体的には、図4に示すように、孤立パターン19同士の間に貫通孔27を形成するためのスペースが存在するときには、貫通孔27は孤立パターン19同士の間に形成され、孤立パターン19同士の間に貫通孔27を形成するためのスペースが存在しないときには、貫通孔27は半導体集積回路素子同士の間のスクライビングライン上に形成されている。

【0044】尚、プロープカード12における孤立パターン19が密に配置されているラインとしては、図3における左右方向には限定されず、図3における上下方向の場合もあるし、斜め方向の場合もある。また、プロープカード12における孤立パターン19が密に配置されているラインとして、バンプ17が密に配置されているラインと一致することが多いが、複数のバンプ17を接続するような孤立パターン19が形成されている場合には、孤立パターン19が延びる方向と一致することもある。

【0045】ところで、プロープカード12における孤立パターン19が密に配置されているライン(図3又は図4においてバンプ17又は孤立パターン19が狭い間隔で形成されているライン)上においては、プロープカード12に作用する内部応力が大きくなるが、第2の実施形態においては、プロープカード12における孤立パターン19が密に配置されているライン上には内部応力を緩和する貫通孔27が形成されているため、プロープカード12に作用する内部応力は緩和される。このため、プロープカード12に設けられているバンプ17が、孤立パターン19が密に配置されているラインに沿って移動する事態が回避されるので、各バンプ17は半導体集積回路素子の各外部電極16と確実に接続される。

【0046】(第3の実施形態)以下、本発明の第3の実施形態に係るプロープカードの製造方法について図5～図7を参照しながら説明する。

【0047】第3の実施形態は、第1又は第2の実施形態に係るバーンイン用検査用基板におけるプロープカードを製造する方法であって、具体的には、プロープカード本体30の表面側に、半導体ウェハ10上に形成された複数の半導体集積回路素子の各外部電極16と接続されるバンプ17を有し、プロープカード本体30の裏面

側にバンプ17と一体化された孤立パターン19を有し、プロープカード本体30を表裏方向に貫通する貫通孔（第1の実施形態における連通孔26又は第2の実施形態における貫通孔27と対応する。）32を有するプロープカードの製造方法である。

【0048】まず、図6（a）に示すように、例えばポリイミド樹脂よりなるシート状のプロープカード本体30の裏面に全面に亘って、例えば銅よりなる金属膜31を堆積する。また、このポリイミド樹脂と銅よりなる金属膜31とからなる2層きざいは、例えば圧延された銅箔とポリイミドシートとを張り合わせることにより作成してもよいし、例えば圧延された銅箔に、未硬化のポリイミドをコーティング（塗布）して作成してもよい。その後、プロープカード本体30のバンプ形成部（バンプを形成する部分）と対応する部位にマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して貫通孔32を形成する。この場合、マスクには、1個又は複数個の半導体集積回路素子におけるバンプ形成部の繰り返しパターンに対応してマスク開口部を形成しておくと、レーザビームの照射回数及びマスクの移動回数を低減できるので好ましい。

【0049】図5はレーザビームにより貫通孔32が形成されたプロープカード本体30の平面構造を示しており、図5において、30aは剛性のリング18（図10を参照）に保持される領域を示し、30bはウェハバーンイン工程において半導体ウェハ10と対向するウェハ領域（破線で囲まれる領域）を示し、30cは半導体ウェハ10上に形成された各半導体集積回路素子の領域（一点鎖線で囲まれる領域）を示している。また、図7（a）及び（b）は、図5における二点鎖線で示す部分の拡大図である。

【0050】図6（a）に示す貫通孔形成工程においては、図5及び図7（a）に示すように、一部又は全ての領域がウェハ領域30bからはみ出るために、半導体集積回路素子と対向しない領域に対しても、前記のマスクを用いてレーザを照射して貫通孔32を形成する。尚、図5において、黒丸は前記のマスクを用いてレーザを照射することにより形成された貫通孔32を示し、図6

（a）～（d）において、破線よりも左側の部分はバンプ17を形成するバンプ形成領域を示し、破線よりも右側の部分は貫通孔32を形成する貫通孔形成領域を示している。

【0051】次に、図6（b）に示すように、プロープカード本体30の表面側に電気メッキを施して、プロープカード本体30の表面に、全ての貫通孔32に対して露出している金属膜31と一緒にバンプ17を形成する。このようにすると、プロープカード30はバンプ17及び金属膜31によって狭持される。

【0052】次に、金属膜31に対して選択的にエッチングを行なって、図6（c）に示すように、貫通孔形成

領域においては全ての金属膜31を除去する一方、バンプ形成領域においては、第1又は第2の実施形態で示した孤立パターン19を形成する。

【0053】次に、図6（d）に示すように、全てのバンプ17のうち、裏面側に金属膜31が残存しないバンプ17を除去すると、図7（b）に示すように、プロープカード本体30におけるウェハ領域30bにはバンプ17が残存する一方、プロープカード本体30におけるウェハ領域30bの外側にはバンプ17が残存しない。この場合、ウェハ領域30bの外側のバンプ17は、裏面側に金属膜31が残存しないので、容易に除去することができる。

【0054】第3の実施形態においては、プロープカード本体30に形成する貫通孔32の径は全て同じ大きさであったが、図8（a）に示すように、プロープカード本体30におけるバンプ形成領域に形成される貫通孔32Aの径に比べて、貫通孔形成領域に形成される貫通孔32Bの径を小さくすることが好ましい。このようにすると、図8（b）に示すように、貫通孔形成領域に形成されるバンプ17Bは、バンプ形成領域に形成される本来のバンプ17に比べて高さが低い。このため、図8（c）に示すように、裏面側の金属膜31を除去した後に、背の低いバンプ17Bが残存しても、背の低いバンプ17Bは半導体集積回路の外部電極17と接触しないので、支障はない。

【0055】また、第3の実施形態においては、プロープカード本体30のバンプ形成部と対応する部位にマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して、プロープカード本体30における半導体集積回路素子と対向する領域及び対向しない領域の両方に亘って貫通孔32を形成したが、これに代えて、図9に示すように、プロープカード本体30におけるバンプ17が形成されるバンプ形成部及び貫通孔32が形成される貫通孔形成部と対応する部位にそれぞれマスク開口部を有するマスクを所定量づつ移動しながらレーザビームを順次照射して貫通孔32を形成してもよい。

【0056】

【発明の効果】本発明に係る第1のバーンイン用ウェハカセットによると、第1の密封空間を減圧したときに、第2の密封空間の大気が連通孔を通じて第1の密封空間に流入して、第1の密封空間と第2の密封空間との間に圧力差が生じないため、プロープカードの周縁部に設けられているバンプが、シール部材の方へ引っ張られて移動する事態が回避されるので、全てのバンプが半導体ウェハの外部電極と電気的に確実に接続する。

【0057】第1のバーンイン用ウェハカセットにおいて、連通孔がプロープカードにおけるウェハトレイのウェハ載置部と対向する領域とシール部材と接している領域との間に形成されていると、第1の密封空間を減圧し

たときに、プローブカードにおける連通孔の周辺部が半導体ウェハに密着する事態を回避できるので、第2の密封空間の大気を連通孔を通って第1の密封空間に確実に流入させることができる。

【0058】また、第1のバーンイン用ウェハカセットにおいて、連通孔がプローブカードにおけるウェハトレイのウェハ載置部と対向する領域に分散して形成されていると、第1の密封空間を減圧したときのプローブカードの伸び量のばらつきがプローブカードの面内において分散されるので、プローブカードのバンプが特定の方向に大きく移動する事態を回避できるので、全てのバンプが半導体ウェハの外部電極と電気的に確実に接続する。

【0059】第2のバーンイン用ウェハカセットによると、プローブカードが面内方向に伸びる際に、プローブカードにおける孤立パターンが密に配置されているラインに沿う方向の内部応力と、プローブカードにおける孤立パターンが疎に配置されているラインに沿う方向の内部応力との差が低減するため、プローブカードに設けられているバンプが、孤立パターンが密に配置されているラインに沿って移動する事態を回避できるので、各バンプは半導体集積回路素子の各外部電極と確実に接続する。

【0060】本発明のプローブカードの製造方法によると、プローブカード本体を表裏方向に貫通する貫通孔をバンプを形成するための貫通孔と同一の工程で形成できると共に、貫通孔の裏面側に形成されている金属膜を除去する工程を孤立パターンを形成する工程と同一の工程で行なうことができるので、工程数の増加を招くことなく、貫通孔を形成することができる。

【0061】本発明のプローブカードの製造方法において、貫通孔形成部に形成される貫通孔の径をバンプ形成部に形成される貫通孔の径よりも小さくすると、貫通孔となる部位に形成されているバンプは本来のバンプよりも背が低くなるので、貫通孔となる部位にバンプが残存してしまっても、貫通孔となる部位に残存するバンプは半導体ウェハの外部電極と接続されないので支障はない。

【0062】本発明のプローブカードの製造方法において、プローブカード本体における半導体集積回路素子と対向する領域及び対向しない領域の両方に亘って貫通孔を形成した後、金属膜における半導体集積回路素子と対向しない領域を除去すると、プローブカード本体における半導体集積回路素子と対向しない領域に確実に貫通孔を形成することができる。

【0063】本発明のプローブカードの製造方法において、プローブカード本体のバンプ形成部及び貫通孔形成部と対応する部位にそれぞれマスク開口部を有するマスクを用いて貫通孔を形成すると、プローブカード本体における半導体集積回路素子と対向する領域に分散して貫通孔を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るバーンイン用ウェハカセットの部分断面図である。

【図2】本発明の第1の実施形態に係るバーンイン用ウェハカセットの動作を説明する部分断面図である。

【図3】本発明の第2の実施形態に係るバーンイン用ウェハカセットのプローブカードの表面構造を示す平面図である。

10 【図4】本発明の第2の実施形態に係るバーンイン用ウェハカセットのプローブカードの裏面構造を示す部分拡大平面図である。

【図5】本発明の第3の実施形態に係るプローブカードの製造方法における貫通孔形成工程を示すプローブカード本体の平面図である。

【図6】(a)～(d)は本発明の第3の実施形態に係るプローブカードの製造方法の各工程を示す断面図である。

20 【図7】(a)及び(b)は本発明の第3の実施形態に係るプローブカードの製造方法の各工程を示すプローブカード本体の部分拡大断面図である。

【図8】(a)～(c)は本発明の第3の実施形態に係るプローブカードの製造方法の変形例の各工程を示す断面図である。

【図9】本発明の第3の実施形態に係るプローブカードの製造方法の変形例における貫通孔形成工程を示すプローブカード本体の部分拡大平面図である。

【図10】従来のバーンイン用ウェハカセットを示す断面図である。

30 【図11】従来のバーンイン用ウェハカセットの部分拡大断面図である。

【図12】従来のバーンイン用ウェハカセットの問題点を説明する部分拡大断面図である。

【符号の説明】

10 半導体ウェハ

11 ウェハトレイ

12 プローブカード

13 配線基板

14 シール部材

15 第1の密封空間

40 16 外部電極

17 バンプ

17B 貫通孔形成領域のバンプ

18 剛性のリング

19 孤立パターン

20 多層配線

21 異方導電性ゴム

22 開閉弁

23 凹状溝

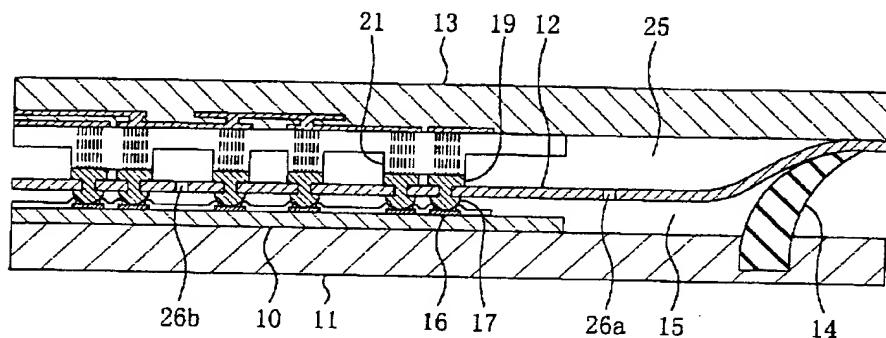
25 第2の密封空間

50 26 連通孔

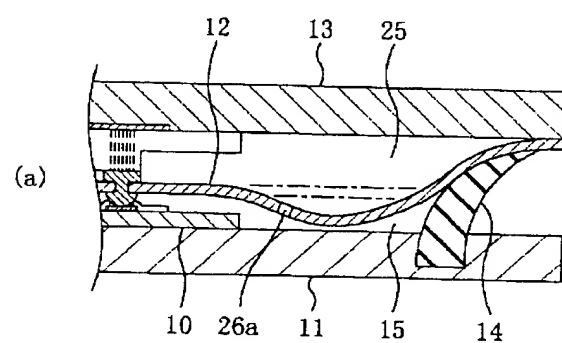
27 貫通孔
 30 プローブカード本体
 30a 剛性のリングに保持される領域
 30b 半導体ウェハと対向するウェハ領域
 30c 半導体集積回路素子の領域

31 金属膜
 32 貫通孔
 32A バンプ形成領域の貫通孔
 32B 貫通孔形成領域の貫通孔

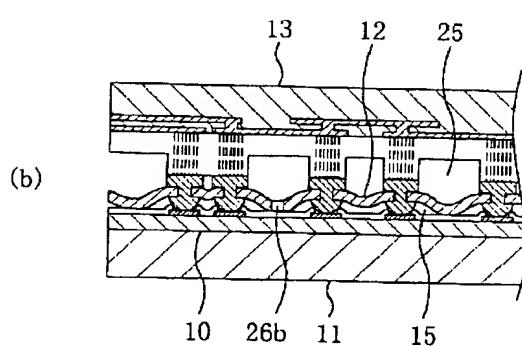
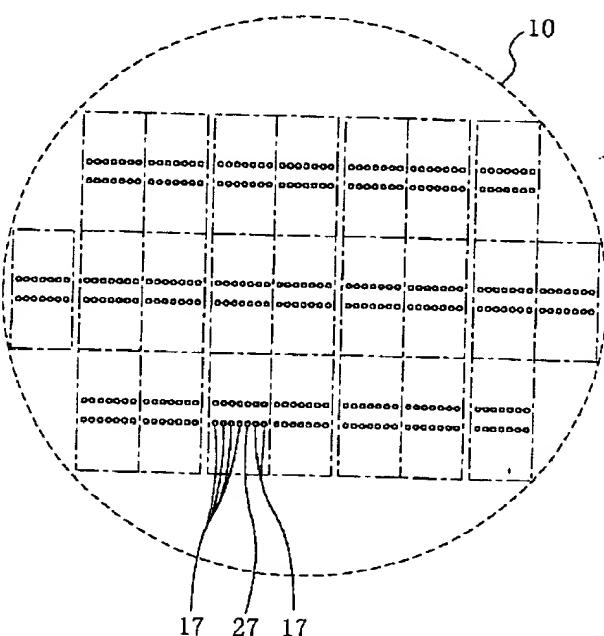
【図1】



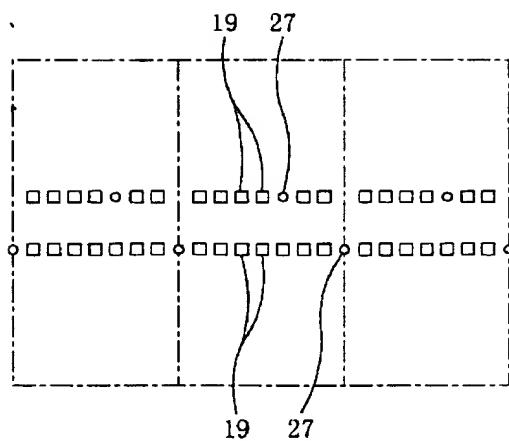
【図2】



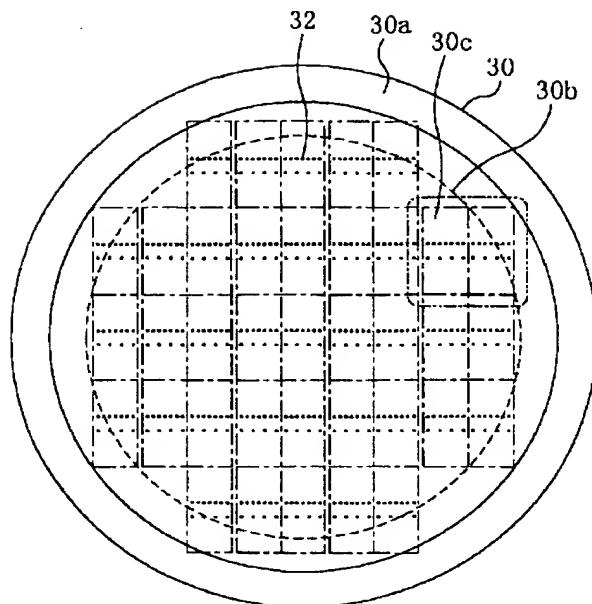
【図3】



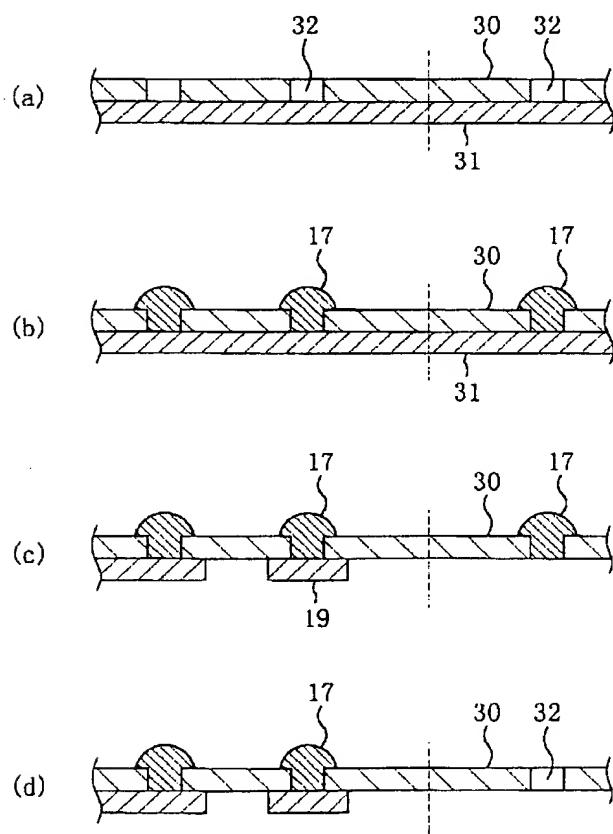
【図4】



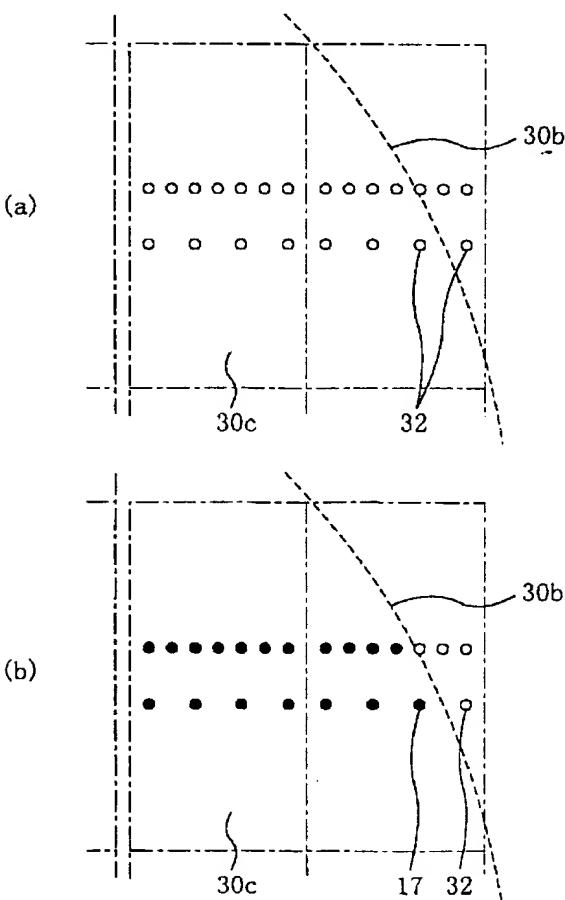
【図5】



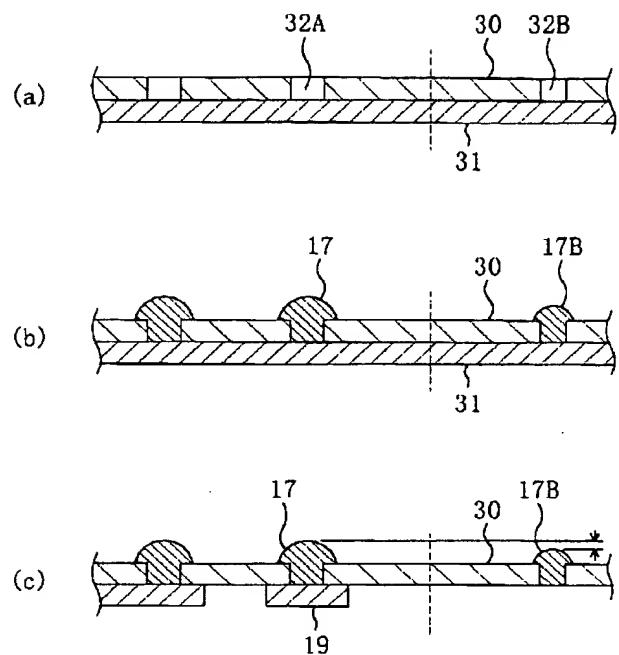
【図6】



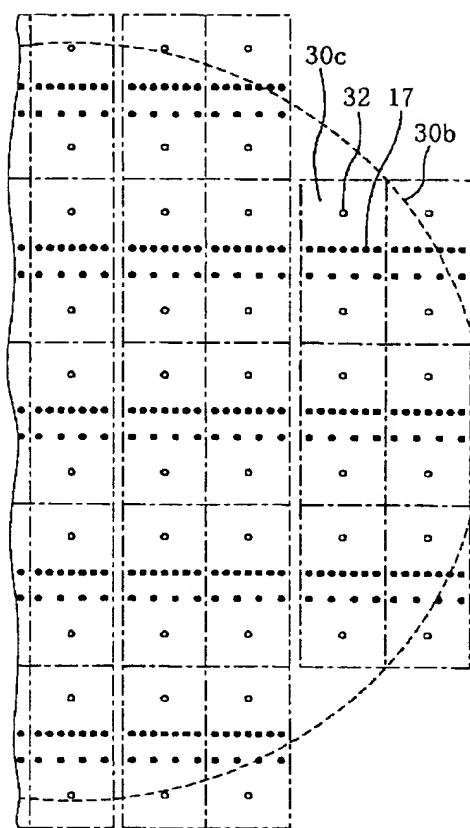
【図7】



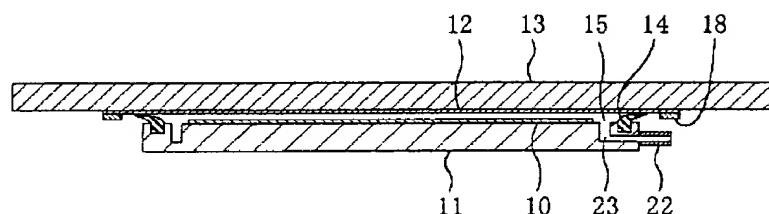
【図8】



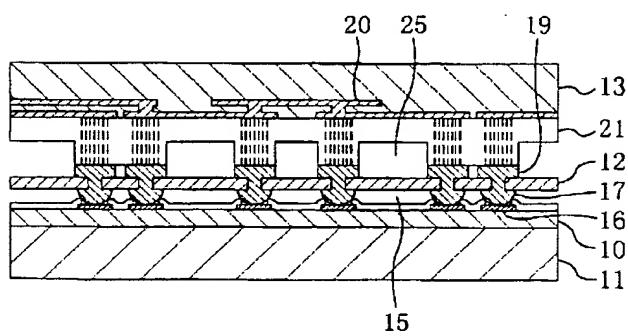
【図9】



【図10】



【図11】



【図12】

